

ARM 并行阵列机中的路由器设计

杜丽娜¹, 韩俊刚^{1,2}, 李卯良¹

(1 西安邮电大学 电子工程学院, 陕西 西安 710121;

2 西安邮电大学 计算机学院, 陕西 西安 710121)

摘 要: 针对 ARM 并行阵列机结构, 提出了与之相适应的通信结构, 采用 4 个路由器完成 16 个处理器内核之间的通信, 有效地节约了面积. 该路由器采用基于数据包交换的片上网络通信方式, 内部运用缓存机制、经典的 XY 路由算法和专用的仲裁策略再加入数据多播, 且处理器选用低功耗、高性能的 ARM 内核, 通过采用以上机制能够有效降低数据传播延迟和功耗. 实验结果表明采用该方案设计的路由器时钟频率最高可达 406.009 MHz, 能够满足该 ARM 阵列机对于通信速率的要求.

关键词: 路由器; 缓存机制; 经典 XY 路由算法; 核间通信; 数据多播

中图分类号: TP302

文献标识码: A

文章编号: 1000-7180(2017)02-0073-04

Router Design for a ARM Parallel Processor

DU Li-na¹, HAN Jun-gang^{1,2} LI Mao-liang¹

(1 School of Electronic Engineering, Xi'an University of Posts and Telecommunications, Xi'an 710121, China;

2 School of Computing, Xi'an University of Posts and Telecommunications, Xi'an 710121, China)

Abstract: Routing communication structure designed in this paper's project involves calls ARM parallel array processors that use four routers to complete the communication between the 16-core processors. Therefore it makes the area reduced at a greater degree. The router uses the way of Noc (Network on Chip) communication that is based on the packet switching, it uses internal caching mechanism, classic XY router algorithms, dedicated arbitration policy and data multicast, and with low power of high-performance ARM processor, these mechanisms reduce the data propagation delay and power consumption at the same time. Makes the performance of communication between multi-core processors has been increased greatly. The result shows that the clock frequency of the router, which designs for the telecommunications in the array of ARM muti-core machine, is up to 406.009MHz and the router can better meet the performance requirements of the array of ARM muti-core machine.

Key words: router; caching mechanism; classic XY router algorithms; communication between multi-core processors; data multicast

1 引言

目前多核并行处理器已经成为市场主流, 然而阻碍其发展的因素仍有很多, 其中核间通信却成为多核设计日益核心的问题.

国际上比较主流的核间数据通信结构^[1]有两种, 一种是基于总线的共享缓存(Cache)结构, 该通信机制以威斯康辛-麦迪逊(Wisconsin-Madison)大学研究的 Multiscalar^[2]处理器为代表; 一种是基于

片上互联的片上网络(NoC)结构, 片上网络作为片上系统的互联机制, 解决了多核芯片扩展性、时钟同步等方面的问题^[3]. 该结构以 RAW 处理器为典型代表, 扩展性好、数据带宽有保证, 但设计复杂, 损耗了较大的面积. 本文针对 ARM 并行阵列机结构而设计的通信机制, 同样采用 NoC 结构, 但其使用 4 个路由器完成 16 个处理器内核之间的通信, 有效地节约了面积. 路由内部采用缓存机制、经典路由算法和专用的仲裁策略再加入数据多播, 通过采用这些

机制可以有效的降低数据传播延迟,使得多核处理器核间通信性能有了较大提升.

2 ARM 并行处理器结构

ARM 并行阵列机完全兼容成熟高效的 ARMv4 指令,采用多核阵列机的结构,以 ARM 内核作为处理单元,兼顾了 ARM 内核和阵列机的优点,能够实现数据级并行运算,指令级并行运算和线程级并行运算,ARM 并行阵列机的结构如图 1 所示.

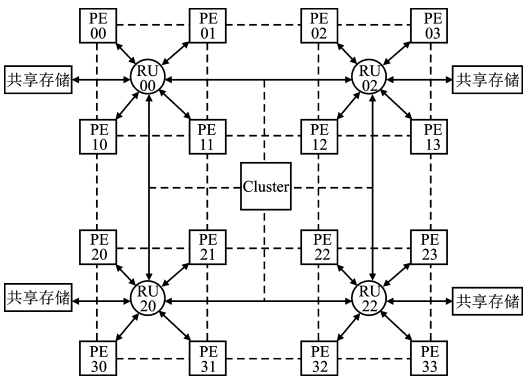


图 1 ARM 并行阵列机结构

由 ARM 内核组成一个 4×4 的阵列机,该阵列机一共有四个组,一组有四个处理器(PE),一个路由器,一个组中的四个 PE 连接一个共享存储.

3 路由器通信指令介绍

远程通信采用专用的硬件电路-路由器实现,远程通信实现远程数据传递和远程函数调用两种通信功能.本系统的远程通信需要传输 4 种不同的信息,其中 LOAD/STORE 完成本地 PE 与远程 PE 之间的数据传递,CALLR/RETR 完成本地 PE 与远程 PE 之间的函数调用与返回.这四条指令的内容如下.

STORE 指令:把本地 PE 的数据放到远程 PE (根据存放数据单元是寄存器或存储分为两种情况);

LOAD 指令:请求把远程 PE 存储的数据加载到本地 PE 的寄存器;

CALLR 指令:请求远程 PE 执行函数;

RETR 指令:远程函数调用返回指令.

远程数据传输:本地 PE 向远程 PE 发送 LOAD 指令,远程 PE 收到 LOAD 指令以后将数据以 STORE 指令返回给本地 PE.

远程函数调用:本地 PE 向远程 PE 发送

CALLR 指令,远程 PE 执行函数,执行完毕后以 RETR 返回给本地 PE,告诉本地 PE 执行完毕.

4 路由信息包格式

本文采用路由器设计的硬件加速结构实现数据通信和函数调用功能,根据功能需求和以计算为数据模型的需求,设计了适合 ARM 并行处理器的用于信息传递和函数调用的控制和数据包.

STORE 指令是请求把本地 PE 的数据放到远程 PE,其信息包格式如表 1 所示.

表 1 数据发送信息包格式(STORE)

31:29	28:25	24:23	22:19	18:15	14:0
code=000	size	type	4'd0	reg_addr	15'd0
31:0					
rPE-addr					
DATA					
.					
DATA					
31:29	28:25	24:23	22:19	18:15	14:0
code=100	size	type	rPE	r_reg_addr	15'd0
DATA					
.					
DATA					

注:STORE 分为两种情况,具体如下.

[31]=0 把本地寄存器的数据放到远程存储;

[31]=1 把本地存储的数据放到远程寄存器,也就是 LOAD 转换的指令.

code 表示指令编码,size 表示传输长度,type 表示传输类型,reg_addr 表示源 PE 寄存器地址,rPE-addr 表示目标 PE 存储的地址,rPE 表示远程目标 PE 号,r_reg_addr 表示远程目标 PE 的寄存器地址.

LOAD 指令是请求把远程 PE 存储的数据加载到本地 PE 的寄存器.这条指令到达目标 PE 以后,数据通过 STORE 指令返回.所以说 LOAD 指令需要的信息有目标 PE 的存储地址和源 PE 号以及源 PE 的寄存器号.

表 1~4 列出了 LOAD/STORE、CALLR/RETR 四种格式的信息包,信息包包含了指令的编码、数据传输类型、数据传输大小、数据和目标 PE,以及源 PE 的寄存器或者存储的地址等信息.

表 2 数据请求信息包格式(LOAD)

31:29	28:25	24:23	22:19	18:15	14:0
code=001	size	type	PE	reg_addr	15'd0
31:0					
rPE-addr					

远程函数调用指令 CALLR,请求远程 PE 来执行函数,执行完后返回 RETR 给本地,所以 CALLR 不但得知道目标 PE 号和目标 PC 还得知源 PE 号,以供 RETE 返回时作为目标 PE.

表 3 函数调用信息包格式(CALLR)

31:29	28:25	24:23	22:19	18:15	14:0
code=010	size	2'd0	rPE	PE	15'd0
31:0					
r_PC_addr					

注:r_PC_addr表示目标PC的地址.

函数返回指令 RETR. RETR 的目标 PE 就是 CALLR 的源 PE,这条指令不携带负载数据,只有包头信息,告诉源 PE 本次远程函数调用已执行完毕.

表 4 函数返回信息包格式(RETR)

31:29	28:25	24:23	22:19	18:15	14:0
code=011	size	2'd0	rPE	4'd0	15'd0

5 路由器的设计与实现

5.1 路由器整体结构

根据以上所述功能设计的路由器分为输入控制缓存模块、XY 路由计算模块、仲裁模块、交叉开关控制模块、输出控制模块 5 个部分.路由器的系统结构如图 2 所示.

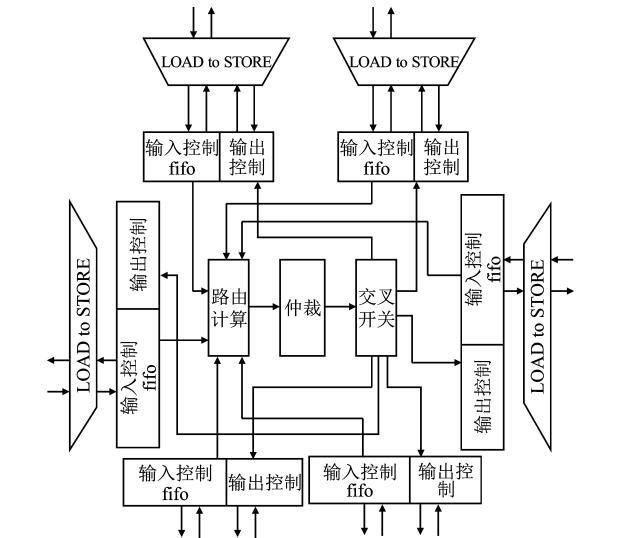


图 2 路由器系统结构

路由器的信息处理流程大概如下:若输入为东/西/南/北方向的数据,存储在对应的缓存,若输入为 PE 的请求则需要组装数据包、存储数据包至相应输入控制缓存;同时将目标 PE 号发送至路由计算

模块;每一个方向对应一个仲裁器,仲裁器仲裁出可以输出的通路;交叉开关负责输入输出方向的对应;输出端口控制输出数据包的发送,如果数据包输出方向为东/西/南/北方向,则按照握手协议输出数据包;若数据包为 PE 输出方向的数据,则需要解析数据包头信息,根据数据包头信息做不同的操作.

5.2 输入控制模块设计实现

路由器输入模块要处理的请求分为 PE 给路由的请求和路由给路由的请求.对于 PE 给路由的请求,路由需要从请求的数据包来判断是什么请求,需要时读取存储或者寄存器,将读取的数据放入 fifo 中进行缓存,也就是输入缓存,经过仲裁判断后,直接从 fifo 读取数据,这样可有效提高数据的传输效率.至于路由给路由发送的请求,则接收路由发来的数据包,其中数据包包含有目标 PE、指令类型等一系列内容,并且要通信的数据也包含在数据包中.路由只需解析数据包并完成数据的通信即可.在输入模块主要是产生目标 PE 的 ID 号,用于 XY 路由计算模块.在输入控制模块,PE 与路由的数据交换是通过读数据的形式.

5.3 XY 路由由计算模块设计实现

xy 路由由计算模块:根据先 x 轴后 y 轴的 xy 路由算法路由数据包,六个(一组四个本地 PE 和两个方向的路由)方向路由算法一致,该模块只是产生了某一个方向到目标方向的使能信号.

5.4 仲裁模块设计实现

仲裁模块:采用简单的仲裁算法(先来先到的仲裁算法)仲裁出先输出的数据包.路由仲裁模块根据输入端的请求及输出端的响应返回准许信号,同时控制交叉开关模块连接对应的输入输出端口.当有多个请求同时到达时,路由器需要按照优先级做出判断,设计中以北边路由器请求的优先级最高,下来依次为南,西,东,PE3,PE2,PE1,PE0.

5.5 交叉开关模块设计实现

交叉开关控制模块负责选择输入输出方向,是对应输入和输出端口的核心部件,将各输入端口缓存的数据包传送到对应的输出方向,输出控制端口的响应信号连接交叉开关模块,一旦响应则选通端口形成一条通道,读取对应的输入端缓存,发送数据包至对应的输出端口.

5.6 输出控制模块设计实现

输出控制模块主要负责产生与交叉开关模块的握手信号和输出数据,如果路由器与目标 PE 相连,则其中的输出模块还要负责数据包的解包,在该模

块 PE 和路由进行数据交换是通过写数据的形式。

5.7 load 转 store 模块设计实现

load 转 store 模块需要传 49 位数据包到输入控制模块,即转换模块需要将输出控制提供的编码、请求、读使能、读地址进行打包和选择,并传给输入控制。

在转包的模块对 pe 传来的 49 位数据包和转换数据包进行选择。握手信号也同样需要进行选择,来判断请求、响应和数据包分别来自哪个模块。

6 仿真结果分析和比较

运用 Modelsim 仿真工具验证本文提出的路由器的逻辑功能。首先,为了验证单个路由器的通信性能,在其外接口添加激励。如图 3 所示,PE00 发送 load 请求信息包给 PE11,在 PE00 处不进行读数据操作,将请求传送给 PE11,在 PE11 处转换成 store 信息包,并且读取 PE11 存储的数据 15、16、1、2、3、4,并将读到的数据以 store 信息包的形式返回给 PE00。仿真结果显示存入 PE00 的数据和 PE11 相应存储的数据完全一致。所以,本文设计的高性能路由器能够满足功能和时序要求。

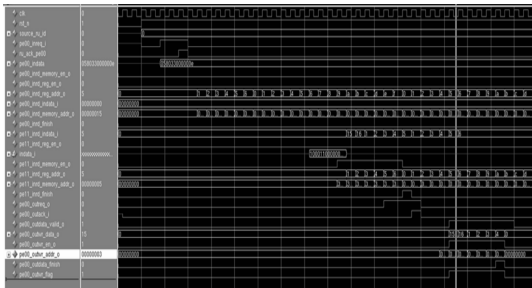


图 3 PE00 发送 load 请求信息包给 PE11 的仿真波形

接着,我们在基于 ARM 的并行阵列机上完成对该路由器的片上网络级的仿真实验。我们将一帧分辨率为 64×64 的图像分割成四个 16×64 大小的图像并分别存储在 PE00-PE01-PE02、PE10-PE11-PE12、PE20-PE21-PE22 以及 PE30-PE31-PE32 对应的存储中,经过高斯滤波后的像素值分别存储到 PE03、PE13、PE23、PE33 中并输出,图 4 即为一帧图像经过高斯滤波处理的前后对比图。

高斯滤波核函数在基于 ARM 的并行阵列机上的运行成功,进一步说明路由器满足预定功能和时序的要求。

另外,本文在 Xilinx ISE14.7 环境下对单个路由器进行编译综合,选用 Xilinx 公司的 Virtex7 XC7V2000T 开发板进行验证。

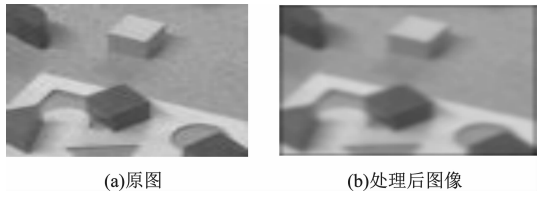


图 4 高斯滤波核函数在 ARM 阵列机上的运行结果

综合结果表明,本文提出的阵列机远程通信路由器的时钟频率最高可达 406.009 MHz,远高于文献[4]中 5 路 16bit 宽度数据的路由器本地写时钟频率 128.8 MHz 和文献[5]中的支持 4 路 16 bit 宽的路由器写时钟频率 309.02 MHz。相比之下,本文设计的路由器性能更高,通信速度更快。

表 5 中给出了本文所设计路由器与文献[6]中的路由器在 FPGA 上的具体资源消耗状况以及利用率的百分比。由图可见,本文设计的单个路由器面积略大一些,但本设计使用 4 个路由器连接 16 个 PE,相比之下,本文设计的路由器资源总消耗更低,速度更快。

表 5 路由器在 FPGA 上的资源消耗情况对比表

本文\文献[6]	used	available	utilization
Number of slice registers	2139\1161	2443200 \2443200	0%\0%
Number of slice LUTs	3383\1699	1221600 \1221600	0%\0%
Number of fully used LUT-FF pairs	1845\707	3677\2153	50%\32%
Number of bonded IOBS	1064\459	850\850	125%\54%
Number of BUFG/BUFGCTRLs	5\1	128\128	3%\0%

7 结束语

本文提出了一种适用于 ARM 多态并行阵列的通信机制,并在 Modelsim 上完成了功能仿真、在 Xilinx ISE 上完成了综合。路由器的具体设计中加入了特定的仲裁模块、固定的路由算法和数据多播,这些机制降低了功耗和数据延迟,同时提高了处理器的性能。在保证通信性能的基础上,较大程度上减少了面积。

参考文献:

[1] 徐卫志,宋风龙,刘志勇,等.众核处理器片上同步机制和评估方法研究[J].计算机学报,2010,33(10): 1777-1787.

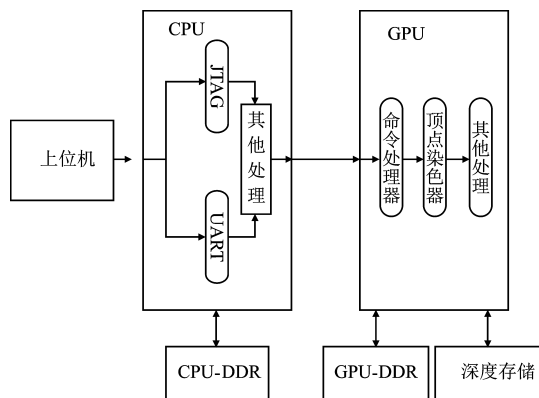


图 12 FPGA 测试结构图

MHz, 多核能跑 100 MHz. GPU 只占 B 片 LUT 的 54%, 综合报告电路速度能跑到 100 MHz, 实际测试电路能跑 150 MHz.

4.2 验证结果分析

综合测试结果如图 13 所示, 这些测试例子都需要进行光照计算和坐标变换, 包含了各种顶点数据以及各种变换的运算, 顶点数据多达上万, 充分地测试了双核顶点染色器的各种功能和稳定性. 结果表明, 处理器在处理速度上比单核处理器处理速度提高了 40%, 而且稳定性也比单核的强.

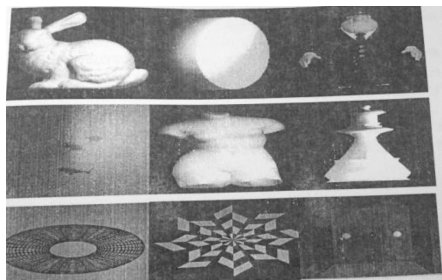


图 13 综合测试结果

5 结束语

本文提出了一种双核顶点染色器的结构, 在 FPGA 板子上完成了测试, 并分析了结果. 该双核顶点染色器与之前的相比, 不仅在处理速度上提高了, 而且稳定性也得到了保障, 同时有效地提高处理器的资源利用率并加强处理器的并行执行能力.

参考文献:

- [1] 韩俊刚, 蒋林, 杜慧敏, 等. 一种图形加速器和着色器的体系结构[J]. 计算机辅助设计与图形学学报, 2010, 22(3): 363-372.
- [2] 胡伟武, 陈云霄, 肖俊华, 等. 计算机体系结构[M]. 北京: 清华大学出版社, 2011: 55-139.
- [3] 周江磊, 李涛, 韩俊刚. 图形处理器中顶点染色仿真器的设计[J]. 数字技术与应用, 2012, 30(12): 109-110.
- [4] 杜慧敏, 李萌. 面向顶点染色算法的专用指令集优化处理器[J]. 西安邮电大学学报, 2014, 19(2): 60-66.
- [5] 范彩霞, 吴宁. 图形处理器光照引擎的设计[J]. 计算机工程应用, 2009, 45(7): 86-88.
- [6] 韩俊刚, 刘友耀, 张晓, 等. 嵌入式图形处理器中几何变换引擎的设计[J]. 计算机仿真, 2010, 27(1): 206-209.
- [7] Luebke D, Humphreys G. How GPUs work[J]. IEEE Computer, 2007, 40(2): 96-100.
- [8] George Lai Yuan. GPU compute memory system[D]. Vancouver: The University of British Columbia, 2006.

作者简介:

史少旭 男, (1992-), 硕士研究生. 研究方向为电路与系统. E-mail: 120868871@qq.com.

刘欢 男, (1992-), 硕士研究生. 研究方向为计算机体系结构.

韩俊刚 男, (1943-), 教授. 研究方向为软件和硬件的形式化验证、图形处理器和新型计算机体系结构.

(上接第 76 页)

- [2] Sohi G S, Breach S E, Vijaykumar T N. Multiscalar processors[C]//Proceedings of the 22nd Annual International Symposium on Computer Architecture. ACM, 1995, 23(2): 414-425.
- [3] 岳峰, 利润丰, 陈田, 等. 基于随机路由的高性能片上路由器设计与仿真[J]. 电子测量与仪器学报, 2013, 27(7): 699-675.
- [4] 周东红. 基于 3x3NoC 的路由器设计与网络性能分析[D]. 西安: 西安电子科技大学, 2011.
- [5] 林世俊, 张凡, 金德鹏. 分布式同步的 GALS 片上网络

及其接口设计[J]. 清华大学学报, 2008, 48(1): 32-38.

- [6] 杨婷. 多态并行阵列处理器中的数据通信及路由器的设计与实现[D]. 西安: 西安邮电大学, 2011.

作者简介:

杜丽娜 女, (1989-), 硕士研究生. 研究方向为数字集成电路. E-mail: 1403224191@qq.com.

韩俊刚 男, (1943-), 博士, 教授. 研究方向为集成电路系统设计和验证、计算机体系结构.

李卯良 男, (1991-), 硕士研究生. 研究方向为数字集成电路.